

Semiconductor capacitor devic

Patent Number: ☐ [EP1205976](#)
Publication date: 2002-05-15
Inventor(s): MORIMOTO HIDENORI (JP)
Applicant(s): SHARP KK (JP)
Requested Patent: ☐ [JP2002151649](#)
Application Number: EP20010309450 20011107
Priority Number(s): JP20000345060 20001113
IPC Classification: H01L27/08
EC Classification: [H01L27/08C2](#)
Equivalents: ☐ [US2002056869](#)
Cited Documents:

Abstract

A semiconductor capacitor device has paired first and second MIM capacitors (C1, C2) on a semiconductor substrate (1). The first and second MIM capacitors include respective capacitor dielectric films (6, 8) having different compositions. Furthermore, upper electrodes (7, 9) and lower electrodes (5, 7) of the first and second MIM capacitors are connected in inverse parallel fashion. This arrangement facilitates mutual counteraction of the voltage dependences of the first and second MIM capacitors so as to make the voltage dependence of the capacitance of the

capacitor device small. 

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2002-151649
(P2002-151649A)

(43)公開日 平成14年5月24日(2002.5.24)

(51)Int.Cl.⁷

H 0 1 L 27/04
21/822

識別記号

F I

H 0 1 L 27/04

テーマコード(参考)

C 5 F 0 3 8

審査請求 未請求 請求項の数5 O L (全 7 頁)

(21)出願番号 特願2000-345060(P2000-345060)

(22)出願日 平成12年11月13日(2000.11.13)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 森本 英徳

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 100062144

弁理士 青山 稔 (外1名)

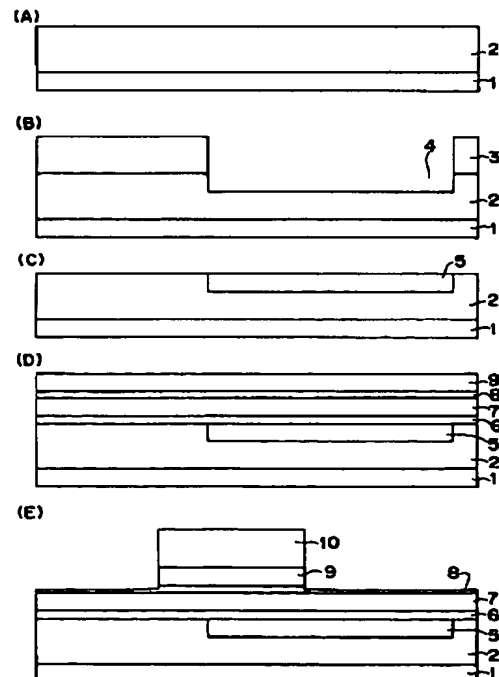
Fターム(参考) 5F038 AC07 AC14 AC15 CA07 CA09
EZ20

(54)【発明の名称】 半導体容量装置

(57)【要約】

【課題】 従来のMIMキャパシタよりも一層、容量値の電圧依存性を抑えることができる半導体容量装置を提供する。

【解決手段】 この半導体容量装置は、半導体基板1上に作製された1対のMIMキャパシタC1、C2のうち、C1の第1容量絶縁膜6をSiO₂膜とし、C2の第2容量絶縁膜8をSiN膜とした。さらに、電極5、7、9を逆並列(上部電極9、7と下部電極7、5をたすきに並列接続)に接続することで、双方の電圧依存性を打ち消し合うようにして、容量の電圧依存性を小さくすることができる。



【特許請求の範囲】

【請求項1】 半導体基板上に作製された下部電極、容量絶縁膜および上部電極から構成されるMIMキャパシタを備えた半導体容量装置であって、

第1、第2のMIMキャパシタからなる1対のMIMキャパシタの互いの上部電極と下部電極が電気的に逆並列接続され、

上記第1MIMキャパシタは、第1容量絶縁膜を有し、
上記第2MIMキャパシタは、上記第1容量絶縁膜とは異なる組成の第2容量絶縁膜を有していることを特徴とする半導体容量装置。

【請求項2】 請求項1に記載の半導体容量装置において、

上記第1、第2のMIMキャパシタの容量の電圧依存性が、電圧の2次式で表され、この2次式の2次の項の係数が、上記第1MIMキャパシタと第2MIMキャパシタとで逆符号であることを特徴とする半導体容量装置。

【請求項3】 請求項1または2に記載の半導体容量装置において、

上記第1のMIMキャパシタの容量の電圧依存性を表す2次式の2次の項の係数と、上記第2のMIMキャパシタの容量の電圧依存性を表す2次式の2次の項の係数とは、大きさが同じで符号が逆であることを特徴とする半導体容量装置。

【請求項4】 請求項1または2に記載の半導体容量装置において、

上記第1MIMキャパシタの上部電極と上記第2MIMキャパシタの下部電極を共有していることを特徴とする半導体容量装置。

【請求項5】 請求項1または2に記載の半導体容量装置において、

上記第1容量絶縁膜と第2容量絶縁膜との組み合わせが、シリコン酸化膜とシリコン窒化膜との組み合わせであることを特徴とする半導体容量装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体基板上に形成した半導体容量装置に関し、特に、印加電圧による容量値変動を抑えた半導体容量装置に関する。

【0002】

【従来の技術】半導体集積回路、特に、アナログ回路に用いられる半導体容量装置では容量の精度が回路全体の精度に大きく影響するので、印加電圧による容量値変動を抑えることが重要となる。

【0003】一方、半導体集積回路が微細化されるにつれて、トランジスタに必要な面積が減少するので、容量の面積も低減させることが必要となっている。このため、容量絶縁膜の薄膜化が行われているが、容量の電圧依存性係数は膜厚の2乗に反比例して大きくなる。したがって、容量絶縁膜を薄膜化しても、容量の電圧依存性

を小さく保つことが重要な課題となる。

【0004】ところで、拡散層とポリシリコンとの間に絶縁膜を挟持した構造のキャパシタは、拡散層と基板との間にPN接合容量が形成される。このPN接合容量は、容量値の電圧依存性が大きいから、印加電圧に依存しないキャパシタを得ることが困難になる。

【0005】また、上、下部ポリシリコンの間に絶縁膜を挟持した構造のキャパシタの例として、特開平9-36313に記載されたものなどがある。このタイプの容量素子は、ポリシリコンからなる電極の抵抗および容量値の電圧依存係数を低減させるために、ポリシリコン電極の濃度を高濃度にドーピングする必要がある。

【0006】しかし、いかに高濃度にドーピングしても、ポリシリコン電極自体に空乏層が発生し、電極間に与えられる電位差によって、上記空乏層の幅が変動する。このため、容量値が変動してしまい、高精度なアナログ回路には適していない。

【0007】一方、上、下部金属層の間に絶縁膜を挟持した構造のキャパシタ(Metal-Insulator-Metalキャパシタ:MIMキャパシタという)の例が、特開平5-129522に記載されている。このMIMキャパシタは、図4に示すように、キャパシタの上部電極121がアルミニウムであり、下部電極118が高融点金属である。なお、120は導電性保護膜、119はキャパシタ用絶縁層、117は層間絶縁膜、101はシリコン基板である。このタイプの容量素子は、金属電極121、118が空乏化しないので、印加電圧に依存しないキャパシタを得ることができる。したがって、特に、アナログキャパシタに有効である。

【0008】また、特開平7-221599には、図5に示すように、2つのMOS(Metal-Oxide-Semiconductor)キャパシタ222と223を逆並列に接続して、それぞれのMOSキャパシタ222と223の有する容量の電圧依存性をキャンセルするようにしている。このMOSキャパシタのゲート電極224が金属の場合、MIMキャパシタと同等の印加電圧に依存しないキャパシタを得ることができる。

【0009】

【発明が解決しようとする課題】ここで、図6に、容量絶縁膜として、シリコン窒化膜を用いたMIMキャパシタの容量の電圧依存性を示す。図6から分かるように、MIMキャパシタにおいても、わずかではあるが容量値の電圧依存性を持っている。このため、より高性能なアナログ用キャパシタを実現するためには、MIMキャパシタであっても、その電圧依存性をさらに抑える必要がある。

【0010】そこで、この発明の目的は、従来のMIMキャパシタよりも一層、容量値の電圧依存性を抑えることができる半導体容量装置を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するため、この発明の半導体容量装置は、半導体基板上に作製された下部電極、容量絶縁膜および上部電極から構成されるMIMキャパシタを備えた半導体容量装置であって、第1、第2のMIMキャパシタからなる1対のMIMキャパシタの互いの上部電極と下部電極が電気的に逆並列接続され、上記第1MIMキャパシタは、第1容量絶縁膜を有し、上記第2MIMキャパシタは、上記第1容量絶縁膜とは異なる組成の第2容量絶縁膜を有してい

$$C = C_0 \cdot (1 + a \cdot V + b \cdot V^2) \quad \dots (1)$$

ここで、Cは容量値、C₀は0[V]での容量値、Vは印加電圧、a、bは容量値の電圧依存性の1次と2次の係数である。

【0015】1対のMIMキャパシタC_{ma}、C_{mb}を

$$C_{ma} = C_0 \cdot (1 + a \cdot V + b \cdot V^2) \quad \dots (2)$$

$$C_{mb} = C_0 \cdot (1 - a \cdot V + b \cdot V^2) \quad \dots (3)$$

また、キャパシタC_{ma}とC_{mb}とが並列に接続された容量C_mは、式(4)で表される。

$$C_m = C_{ma} + C_{mb} = 2C_0 \cdot (1 + b \cdot V^2) \quad \dots (4)$$

ここで、容量の電圧依存係数Γを、次の式(5)で定義する。

$$\Gamma = (C - C_0) / V \cdot 10^6 \quad [\text{ppm}] \quad \dots (5)$$

その結果、図6に示すMIM容量では、a = -20 [ppm/V]、b = 4 [ppm/V²]であるので、MIM容量単体では、1 [V]では、Γ = -16 [ppm]であるが、MIM容量を逆並列につなぐと、Γ = 4 [ppm]になり、逆並列に接続することで電圧依存性が小さくなることがわかる。

【0019】また、一実施形態の半導体容量装置は、上記半導体容量装置において、上記第1、第2のMIMキャパシタの容量の電圧依存性が、電圧の2次式で表され、この2次式の2次の項の係数が、上記第1MIMキャパシタと第2MIMキャパシタとで逆符号である。

$$C_{m1} = C_{01} \cdot (1 + b_1 \cdot V^2) \quad \dots (6)$$

$$C_{m2} = C_{02} \cdot (1 + b_2 \cdot V^2) \quad \dots (7)$$

この式(6)、(7)では、b₁、b₂は、第1、2MIMキャパシタの容量の電圧依存性の2次の係数である。なお、C₀₁は、第1MIMキャパシタの0[V]容量値であり、C₀₂は、第2MIMキャパシタの0[V]での容量値である。この式(6)、(7)から、直ちに、2次係数b₁とb₂とが逆符号であることで、(C_{m1} + C_{m2})の合成容量の電圧依存性を示す第2項を打ち消しあて小さくできることが分かる。

【0023】また、他の実施形態の半導体容量装置は、上記半導体容量装置において、上記第1のMIMキャパシタの容量の電圧依存性を表す2次式の2次の項の係数と、上記第2のMIMキャパシタの容量の電圧依存性を表す2次式の2次の項の係数とは、大きさが同じで符号が逆である。

【0024】この実施形態では、上記第1MIMキャパ

ることを特徴としている。

【0012】この発明では、まず、半導体基板上に作製された1対のMIMキャパシタの電極を逆並列(上部電極と下部電極をたすきに並列接続)に接続することで、容量の電圧依存性を小さくすることができる。

【0013】すなわち、容量の電圧依存性の関係は、次の式(1)で示されるように、電圧の2乗に比例して変化することが知られている。

【0014】

逆並列に接続すると、C_{ma}にVの電圧が印加されると、C_{mb}には-Vの電圧が印加されるので、容量の電圧依存性はそれぞれ式(2)、(3)であらわされる。

【0016】

【0017】

【0018】

【0020】この実施形態では、上記2次式の2次の項の係数が、第1、第2の2種類のMIMキャパシタにおいて、逆符号であることによって、容量値の電圧依存性をさらに小さくすることができる。

【0021】すなわち、第1容量絶縁膜で形成される第1MIMキャパシタの容量値をC_{m1}とし、第1容量絶縁膜とは異なる第2容量絶縁膜で形成されるMIMキャパシタの容量値をC_{m2}とすると、容量の電圧依存性は、前記した式(4)から、それぞれ次式(6)、(7)であらわされる。

【0022】

シタの電圧依存性の2次係数と第2MIMキャパシタの電圧依存性の2次係数とが逆符号で同じ大きさであるから、式(6)、(7)から合成容量の電圧依存性を実質的に零にすることができる。

【0025】また、一実施形態の半導体容量装置は、上記半導体容量装置において、上記第1MIMキャパシタの上部電極と上記第2MIMキャパシタの下部電極を共有している。

【0026】この実施形態では、第1MIMキャパシタの上部電極と上記第2MIMキャパシタの下部電極を共有していることで、構造を簡単にできる。

【0027】また、他の実施形態の半導体容量装置は、上記半導体容量装置において、上記第1容量絶縁膜と第2容量絶縁膜との組み合わせが、シリコン酸化膜とシリコン窒化膜との組み合わせである。

【0028】この実施形態では、第1および第2容量誘電膜の組み合わせの一つとしてシリコン酸化膜とシリコン窒化膜の組合せとした。この組み合わせによれば、例えば、第1容量絶縁膜をシリコン酸化膜(膜厚35nm)とし、第2容量絶縁膜をシリコン窒化膜(膜厚65nm)とすると、容量の電圧依存性はそれぞれ図7、図6に示すようになる。

【0029】このとき、上記式(6)、(7)において、 $C_{01}=1$ [fF/ μm^2]、 $b_1=-30$ [ppm/

$$C_{01} \cdot b_1 + C_{02} \cdot b_2 = 0 \quad \dots (8)$$

$$C_{m3} = C_{m1} + C_{m2} = C_{01} + C_{02} \quad \dots (9)$$

このように、MIM容量単体では、電圧依存係数 Γ が、 -16 [ppm]であっても、容量の電圧依存性の特性が異なる2種類のMIM容量を並列に接続し、互いの電圧依存性を打ち消すように接続することによって、容量の電圧依存係数 Γ を、 0 [ppm]にできる。

【0031】

【発明の実施の形態】以下、この発明の半導体容量装置の実施形態について図面を参照しながら説明する。

【0032】図1(A)~(E)、図2(A)~(D)、図3を順に参照して、この実施形態としてのMIMキャパシタの製造過程を説明する。

【0033】まず、図1(A)に示すように、半導体基板1上に、トランジスタ部(図示せず)を形成した後、第1層間絶縁膜2を堆積する。その後、図1(B)に示すように、レジストパターン3を形成し、フォトリソグラフィ工程を用いて開口部を形成し、このレジストパターン3をマスクにして、異方性エッチング技術等を用いて、第1層間絶縁膜2の表面を掘り下げ、150~300nm程度の溝4を形成する。

【0034】次に、上記レジストパターン3を除去した後、図1(C)に示すように、溝4を含む第1層間絶縁膜2の全面に、例えば、CVD(Chemical Vapour Deposition)法で、タングステン膜5を厚さ500nm~800nm程度だけ堆積し、その後、CMP(Chemical Mechanical Polish)法を用いて、第1層間絶縁膜2の表面が露出するまで研磨する。このようにして、第1層間絶縁膜2中に埋め込まれた第1MIMキャパシタC1の下部電極となるタングステン膜5を形成する。

【0035】その後、図1(D)に示すように、第1容量絶縁膜6をプラズマCVD法で30~80nm程度の膜厚に堆積させ、第1金属膜7をスパッタ法またはCVD法で400~600nm程度の膜厚に堆積させる。さらに、第1容量絶縁膜とは異なる組成の第2容量絶縁膜8をプラズマCVD法で40~80nm程度の膜厚に堆積させ、第2金属膜9をスパッタ法またはCVD法で200~400nm程度の膜厚に堆積させる。ここで、上記第2容量絶縁膜8をシリコン窒化膜とし、第1容量絶縁膜6をシリコン酸化膜とすることが望ましい。

【0036】その後、図1(E)に示すように、フォトリ

V^2]、 $C_{02}=1$ [fF/ μm^2]、 $b_2=4$ [ppm/ V^2]となる。この2つの容量の面積を、式(8)の関係を満たすように、第1MIMキャパシタと第2MIMキャパシタの面積が2:15になるようにして、並列に接続すると並列に接続した容量 C_{m3} は、式(9)で表される、すなわち、上記並列接続容量 C_{m3} の電圧依存性を0にすることができる。

【0030】

ソグラフィ工程によって形成されたレジストパターン10をマスクとして、第2金属膜9を異方性エッチング技術等を用いて選択的に加工し、第2MIMキャパシタC2の上部電極となる第2金属膜9を形成する。

【0037】次に、図2(A)に示すように、第2MIMキャパシタC2の下部電極を形成するために、フォトリソグラフィ工程によって形成されたレジストパターン11をマスクとし、異方性エッチング技術等を用いて、第2容量絶縁膜8と第1金属膜7を選択的に加工し、第2MIMキャパシタC2を形成する。このようにして、第1金属膜7を共通の電極とする2種類のMIMキャパシタC1、C2が形成される。

【0038】その後、図2(B)に示すように、第2層間絶縁膜12を2000~3000nm程度の厚さに堆積し、CMP法で表面を平坦化し、フォトリソグラフィ技術と選択エッチング技術を利用して、絶縁膜の選択的な領域にビアホール13を形成する。

【0039】次に、図2(C)に示すように、ビアホール13の表面に、CVD法またはスパッタ法を使用して、窒化チタン膜(図では省略)を30~60nm程度形成した後、CVD法で厚膜のタングステン膜14を800~1500nm程度堆積させる。これにより、ビアホール13を窒化チタン膜とタングステン膜14によって埋め込んだ状態にし、CMP法を使用して、タングステン膜14の表面から表面研磨を行い、ビアホール13に埋め込まれているタングステン膜14および窒化チタン膜以外のタングステン膜および窒化チタン膜を取り除く。これにより、ビアホール13に窒化チタン膜とタングステン膜14からなるプラグ14を形成する。

【0040】その後、図2(D)に示すように、配線層15を形成するために、例えば、窒化チタン膜を30~60nm程度の厚さで形成した後、アルミニウム膜を400~600nm程度の厚さで形成し、その上に、窒化チタン膜を30~60nm程度形成した。その後、フォトリソグラフィ技術と選択エッチングを利用して、それらの膜を選択的に取り除くことにより、パターン化した配線層15を形成する。

【0041】以上の製造工程によって、2種類の異なる容量絶縁膜6と8を持つMIMキャパシタC1、C2と

その配線層15が形成される。すなわち、図3に示すように、第1MIMキャパシタC1は、下部電極5、第1容量絶縁膜6、上部電極7からなり、第2MIMキャパシタC2は、下部電極7、第2容量絶縁膜8、上部電極9からなる。したがって、第1MIMキャパシタC1の上部電極7と第2MIMキャパシタC2の下部電極7とが共通電極となっている。

【0042】そして、図3に左側と右側とに示す構造のように、第1MIMキャパシタC1の上部電極7と第2MIMキャパシタC2の下部電極7にプラグ14を介して配線層15-1、15-3が接続されている。また、第1MIMキャパシタC1の下部電極5と第2MIMキャパシタC2の上部電極9にプラグ14を介して配線層

$$C = C_0 \cdot (1 + a \cdot V + b \cdot V^2) \quad \dots (11)$$

ここで、Cは容量値、C0は0[V]での容量値、Vは印加電圧、a、bは容量値の電圧依存性の1次と2次の係数である。

【0046】1対のMIMキャパシタC1、C2を逆並

$$C_1 = C_0 \cdot (1 + a \cdot V + b \cdot V^2) \quad \dots (12)$$

$$C_2 = C_0 \cdot (1 - a \cdot V + b \cdot V^2) \quad \dots (13)$$

また、キャパシタC1とC2とが並列に接続された容量C3は、式(14)で表される。

$$C_3 = C_1 + C_2 = 2C_0 \cdot (1 + b \cdot V^2) \quad \dots (14)$$

ここで、容量の電圧依存係数Γを、次の式(5)で定義する。

$$\Gamma = (C - C_0) / V \cdot 10^6 [\text{ppm}]$$

…(15)その結果、図6に示すシリコン窒化膜を容量誘電膜8とするMIM容量C2では、 $a = -20 [\text{ppm}/V]$ 、 $b = 4 [\text{ppm}/V^2]$ であるので、MIM容量単体では、1[V]では、 $\Gamma = -16 [\text{ppm}]$ であるが、MIM容量を逆並列につなぐと、 $\Gamma = 4 [\text{ppm}]$ になり、逆並列に接続することで電圧依存性が小さくなることがわかる。

【0050】さらに、第1MIMキャパシタC1は、シリコン酸化膜を第1容量絶縁膜6とし、第2MIMキャ

$$C_1 = C_{01} \cdot (1 + b_1 \cdot V^2) \quad \dots (16)$$

$$C_2 = C_{02} \cdot (1 + b_2 \cdot V^2) \quad \dots (17)$$

$C_{01} = 1 [\text{fF}/\mu\text{m}^2]$ 、 $b_1 = -30 [\text{ppm}/V^2]$ 、 $C_{02} = 1 [\text{fF}/\mu\text{m}^2]$ 、 $b_2 = 4 [\text{ppm}/V^2]$ となる。この2つの容量の面積を、次式(18)の関係を満たすように、第1MIMキャパシタC1と第2MIMキャパシタC2の電極対向面積が2:15にな

$$C_{01} \cdot b_1 + C_{02} \cdot b_2 = 0 \quad \dots (18)$$

$$C_3 = C_1 + C_2 = C_{01} + C_{02} \quad \dots (19)$$

このように、C2のように、MIM容量単体では、電圧依存係数Γが、 $-16 [\text{ppm}]$ であっても、容量の電圧依存性の特性が異なる2種類のMIM容量C2とC1とを並列に接続し、互いの電圧依存性を打ち消すような誘電体組成と逆並列接続とによって、容量の電圧依存係数Γを、実質的に0[ppm]にすることができる。

15-2、15-4が接続されている。

【0043】これにより、電極7を共通電極として、逆並列接続された第1MIMキャパシタC1と第2MIMキャパシタC2が形成される。したがって、この実施形態によれば、半導体基板1上に作製された1対のMIMキャパシタC1、C2の電極5、7、9を逆並列(上部電極9、7と下部電極7、5をたすきに並列接続)に接続することで、双方の電圧依存性を打ち消し合うようにして、容量の電圧依存性を小さくすることができる。

【0044】すなわち、容量の電圧依存性の関係は、次の式(11)で示されるように、電圧の2乗に比例して変化することが知られている。

【0045】

列に接続すると、C1にVの電圧が印加されると、C2には-Vの電圧が印加されるので、容量の電圧依存性はそれぞれ式(12)、(13)であらわされる。

【0047】

$$\dots (12)$$

$$\dots (13)$$

【0048】

バシタC2は、シリコン窒化膜を第2容量絶縁膜8としたから、容量の電圧依存性の特性が異なる2種類のMIM容量を並列に接続し、互いの電圧依存性を打ち消すように接続することによって、容量の電圧依存係数Γを、略0[ppm]にできる。

【0051】より詳しくは、例えば、第1容量絶縁膜6をシリコン酸化膜(膜厚35nm)とし、第2容量絶縁膜8をシリコン窒化膜(膜厚65nm)とすると、容量の電圧依存性はそれぞれ図7、図6に示すようになる。

【0052】このことは、次の式(16)、(17)において、

るようにして、並列に接続する。これによれば、並列に接続した容量C3は、次式(19)で表される、すなわち、上記並列接続容量C3の電圧依存性を0にすることができる。

【0053】

【0054】

【発明の効果】以上より明らかなように、この発明の半導体容量装置は、半導体基板上に作製された1対のMIMキャパシタの電極を逆並列(上部電極と下部電極をたすきに並列接続)に接続し、かつ、2つのMIMキャパシタの絶縁膜の材質を異なるものとするこ

電圧依存性を打ち消し合うようにして、容量の電圧依存性を小さくすることができる。

【0055】また、一実施形態の半導体容量装置は、上記半導体容量装置において、上記第1、第2のMIMキャパシタの容量の電圧依存性が、電圧の2次式で表され、この2次式の2次の項の係数が、上記第1MIMキャパシタと第2MIMキャパシタとで逆符号であることによって、容量値の電圧依存性をさらに少なくすることができる。

【0056】また、他の実施形態の半導体容量装置は、上記第1のMIMキャパシタの容量の電圧依存性を表す2次式の2次の項の係数と、上記第2のMIMキャパシタの容量の電圧依存性を表す2次式の2次の項の係数とは、大きさが同じで符号が逆であるから、合成容量の電圧依存性を実質的に零にすることができる。

【0057】また、一実施形態の半導体容量装置は、上記半導体容量装置において、第1MIMキャパシタの上部電極と上記第2MIMキャパシタの下部電極を共有していることで、構造を簡単にできる。

【0058】また、他の実施形態の半導体容量装置は、上記半導体容量装置において、第1および第2容量誘電膜の組み合わせの一つとしてシリコン酸化膜とシリコン窒化膜の組合せとした。この組み合わせによれば、容量の電圧依存性の特性が異なる2種類のMIM容量を並列に接続し、互いの電圧依存性を打ち消すように接続することによって、容量の電圧依存係数 Γ を、0 [ppm] にできる。

【0059】したがって、本発明によれば、半導体集積回路に用いられているMIMキャパシタの電圧依存性を低減することができ、アナログ集積回路の高精度化が可

能になり、容量絶縁膜の薄膜化による容量面積の低減も可能になる。

【図面の簡単な説明】

【図1】 図1(A)～図1(E)は、この発明の半導体容量装置の実施形態であるMIM容量素子の製造工程の前半を順に説明する図である。

【図2】 図2(A)～図2(D)は、上記実施形態のMIM容量素子の製造工程の後半を説明する図である。

【図3】 完成したMIM容量素子の断面図である。

【図4】 従来の半導体装置の要部の概略断面図である。

【図5】 従来の半導体装置の等価回路図である。

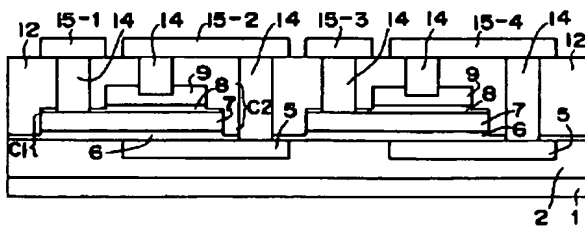
【図6】 容量絶縁膜をSiNとしたMIM容量の電圧依存性を示す特性図である。

【図7】 容量絶縁膜をSiO₂としたMIM容量の電圧依存性を示す特性図である。

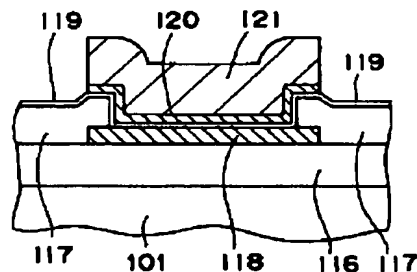
【符号の説明】

1…半導体基板、2…第1層間絶縁膜、3…レジストパターン、4…溝、5…タングステン膜、6…第1容量絶縁膜、7…第1金属膜、8…第2容量絶縁膜、9…第2金属膜、10…レジストパターン、11…レジストパターン、12…第2層間絶縁膜、13…ビアホール、14…タングステン膜、15…配線層、C1…第1MIMキャパシタ、C2…第2MIMキャパシタ、116…フィールド絶縁層、117…層間絶縁層、118…下部電極、119…キャパシタ用絶縁層、120…導電性保護膜、121…上部電極、122…第1MOSキャパシタ、223…第2MOSキャパシタ、224…ゲート電極。

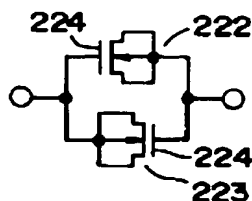
【図3】



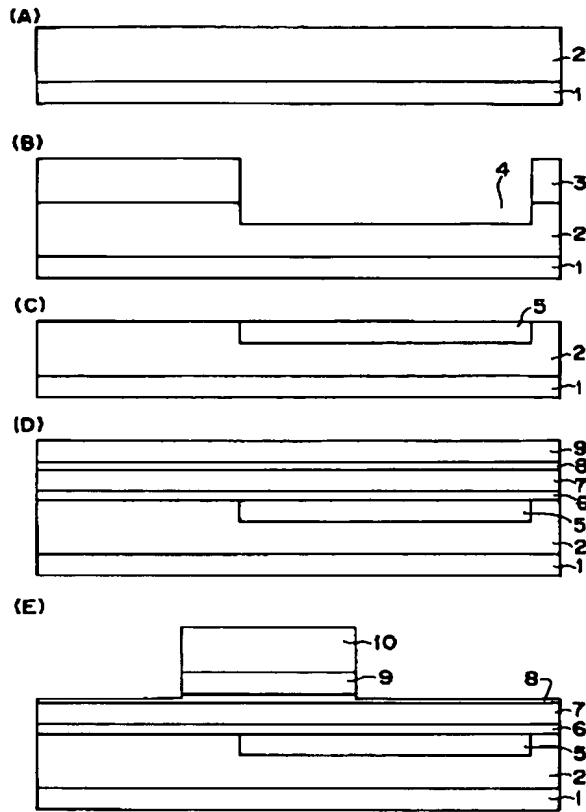
【図4】



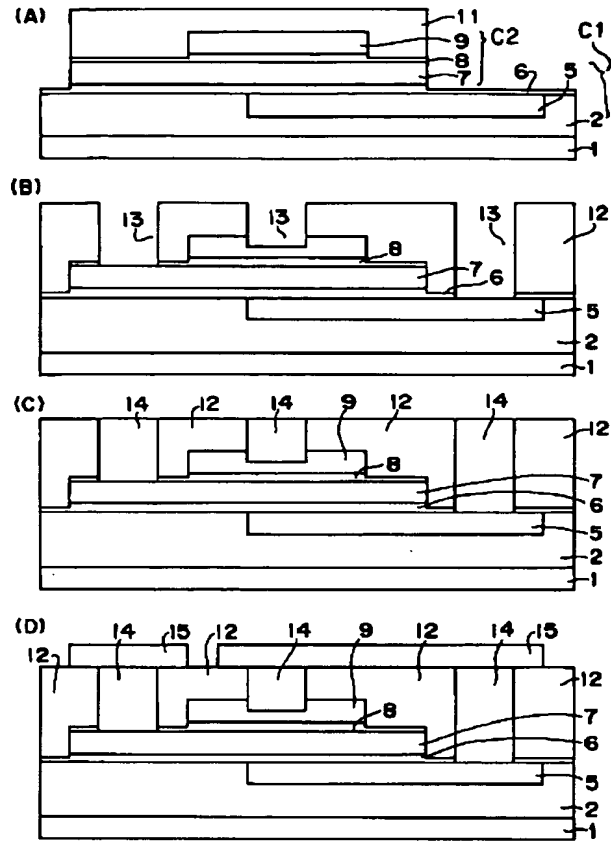
【図5】



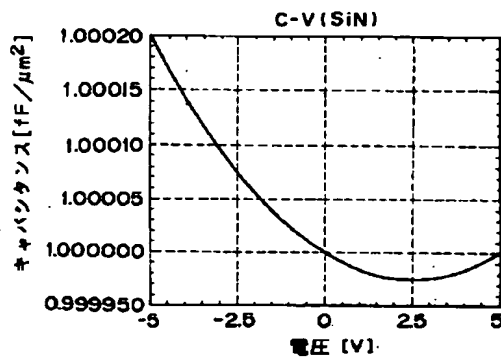
【図1】



【図2】



【図6】



【図7】

